

5 VHDL VERİ NESNELERİ	49
Signal Veri Nesnesi	49
variable Veri Nesnesi	51
constant Veri Nesnesi	53
VHDL'de Açıklama Metni	55
Veri Nesnelerinin Adlandırılması	55
Veri Tipleri	56
bit ve bit_vector Tipleri	56
std_logic ve std_logic_vector Tipleri	58
std_ulogic Tipi	60
signed ve unsigned Tipleri	61
Integer Tipi	63
Boolean Tipi	65
Listeleme Tipi (Enumeration)	65
Tip Dönüşümleri	66
Alt-Tipler (Subtype)	68
Diziler	68
Port Dizileri	70
Record Tanımlaması	71
Veri Nesnesi Değerleri ve Numaraları	72
Çoklu Veri Nesnesine Değer Atanması	72
6 ALT DEVRELER, ALT PROGRAMLAR VE PAKETLER	73
VHDL'de Alt Devre Tanımlama - PORT MAP Kullanımı	73
Generic Kullanarak Entity Tanımlama	79
Function	84
Procedure	87
VHDL'de Package Kullanımı	89
7 EŞ ZAMANLI ATAMA İFADELERİ	93
Basit Sinyal Atamaları	93